

(11)特許出願公開番号

特開2010-46220

(P2010-46220A)

(43) 公開日 平成22年3月4日(2010.3.4)

(51) Int.Cl.

F 1

テーマコード (参考)

A 6 1 B 1/04 (2006.01)

A 6 1 B 1/04 3 7 2

2H040

GO 2 B 23/24 (2006.01)

GO 2 B 23/24

4 C O 6 1

HO 4 N 7/18 (2006.01)

HO 4 N 7/18

5C054

審査請求 未請求 請求項の数 11 O L (全 17 頁)

(21) 出願番号 特願2008-212135 (P2008-212135)

(22) 出願日 平成20年8月20日 (2008. 8. 20)

(71) 出願人 0000000376

オリンパス株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(74) 代理人 100076233

弁理士 伊藤 進

(72) 発明者 小笠原 正充

東京都渋谷区幡ヶ谷2丁目43番2号 才

リンパス株式会社内

F ターム (参考) 2H040 GA02 GA11

4C061 AA00 BB00 CC06 DD00 LL02

NN01 NN03 NN07 QQ06 SS11

VV03 WW01 YY12

5C054 CC07 DA08 EA01 EB02 HA12

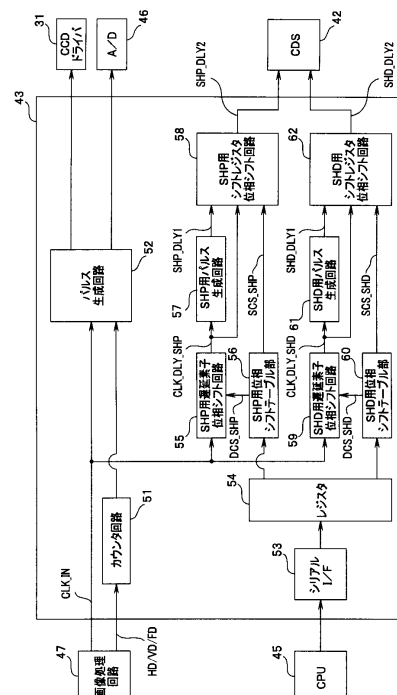
(54) 【発明の名称】 内視鏡装置

(57) 【要約】

【課題】精度良くサンプリングパルスの位相を遅延することにより、様々なケーブル長に対しても最適な画像を得られる内視鏡装置を提供する。

【解決手段】CDS部４２と、タイミングジェネレータ４３と、A/D部４６と、画像処理回路４７と、を有する内視鏡装置１において、タイミングジェネレータ４３は、パルス生成用クロック信号を基に、CDS処理のためのタイミング信号を生成するパルス生成回路５７と、パルス生成用クロック信号又はパルス生成回路５７にて生成されたタイミング信号の位相を、第１の量だけ位相シフトさせる第１の位相シフト回路５５と、パルス生成用クロック信号又はパルス生成回路５７にて生成されたタイミング信号の位相を、第１の量とは異なる第２の量だけ位相シフトさせる第２の位相シフト回路５８とを有して、パルス生成回路５７と、第１の位相シフト回路５５と、第２の位相シフト回路５８が直列に接続される。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

内視鏡先端部に配置された対物レンズより取り込んだ被写体像を撮像する撮像手段で得られた信号を相関 2 重サンプリング処理する相関 2 重サンプリング手段と、

前記相関 2 重サンプリング手段に前記相関 2 重サンプリング処理のためのタイミング信号を供給するタイミング発生手段と、

前記相関 2 重サンプリング手段においてサンプルホールドされた信号をアナログデジタル変換する A/D 変換手段と、

前記 A/D 変換手段の出力を信号処理する映像信号処理手段と、を有し、

前記タイミング発生手段は、

10

パルス生成用クロック信号を基に、前記相関 2 重サンプリング処理のための前記タイミング信号を生成するパルス生成回路と、

前記パルス生成用クロック信号もしくは前記パルス生成回路にて生成された前記タイミング信号の位相を、第 1 の量だけ位相シフトさせる第 1 の位相シフト回路と、

前記パルス生成用クロック信号もしくは前記パルス生成回路にて生成された前記タイミング信号の位相を、前記第 1 の量とは異なる第 2 の量だけ位相シフトさせる第 2 の位相シフト回路と、

を有して、前記パルス生成回路と、前記第 1 の位相シフト回路と、前記第 2 の位相シフト回路が直列に接続されることを特徴とする内視鏡装置。

【請求項 2】

20

前記パルス生成回路、前記第 1 の位相シフト回路及び前記第 2 の位相シフト回路は、前記相関 2 重サンプリング処理におけるサンプルホールドプリチャージレベルとサンプルホールドデータレベルの 2 つのタイミング信号を発生させるために、前記 2 つのタイミング信号毎に設けられていることを特徴とする請求項 1 に記載の内視鏡装置。

【請求項 3】

前記第 1 の量は、前記第 2 の量よりも小さく、

前記第 1 の位相シフト回路は、バッファ又は遅延線により前記位相シフトを実現するように構成されていることを特徴とする請求項 1 又は 2 に記載の内視鏡装置。

【請求項 4】

前記第 2 の位相シフト回路は、シフトレジスタにより前記位相シフトを実現するように構成されていることを特徴とする請求項 3 に記載の内視鏡装置。

30

【請求項 5】

前記タイミング発生手段において、前記第 1 の位相シフト回路が前記パルス生成用クロック信号の位相を前記第 1 の量だけシフトし、前記パルス生成回路が前記第 1 の位相シフト回路において位相シフトされた前記タイミング信号を生成し、第 2 の位相シフト回路が前記パルス生成手段において生成された前記タイミング信号の位相を前記第 2 の量だけシフトさせることを特徴とする請求項 1 から 4 のいずれか 1 つに記載の内視鏡装置。

【請求項 6】

前記第 1 の量と前記第 2 の量のデータは、前記内視鏡の挿入部の長さに応じて予め設定されたデータとして、記憶されていることを特徴とする請求項 1 から 5 のいずれか 1 つに記載の内視鏡装置。

40

【請求項 7】

前記予め設定されたデータは、テーブルデータとして記憶部に記憶されていることを特徴とする請求項 6 に記載の内視鏡装置。

【請求項 8】

前記予め設定されたデータは、外部から設定されて記憶されることを特徴とする請求項 6 又は 7 に記載の内視鏡装置。

【請求項 9】

前記タイミング発生手段は、前記第 1 の位相シフト回路と前記第 2 の位相シフト回路のそれぞれの前記第 1 の量と前記第 2 の量を決定する位相シフト量決定手段を有し、

50

該位相シフト量決定手段は、前記第 1 の量が最小となるように前記第 1 の量と前記第 2 の量を決定することを特徴とする請求項 1 から 5 のいずれか 1 つに記載の内視鏡装置。

【請求項 10】

前記タイミング発生手段は、

前記撮像手段を駆動するためのリセットゲートパルス信号を生成するリセットゲートパルス生成回路と、

前記パルス生成用クロック信号もしくは前記リセットゲートパルス生成回路にて生成された前記リセットゲートパルス信号の位相を、第 3 の量だけ位相シフトさせる第 3 の位相シフト回路と、

前記パルス生成用クロック信号もしくは前記リセットゲートパルス生成回路にて生成された前記リセットゲートパルス信号の位相を、前記第 3 の量とは異なる第 4 の量だけ位相シフトさせる第 4 の位相シフト回路と、

をさらに有し、

前記リセットゲートパルス生成回路と、前記第 3 の位相シフト回路と、前記第 4 の位相シフト回路が直列に接続されることを特徴とする請求項 1 から 9 のいずれか 1 つに記載の内視鏡装置。

【請求項 11】

前記タイミング発生手段は、

前記 A/D 変換手段の A/D タイミング信号を生成するための A/D パルス生成回路と、

該 A/D パルス生成回路にて生成された前記 A/D タイミング信号の位相を第 5 の量だけ位相シフトさせる第 5 の位相シフト回路と、

をさらに有することを特徴とする請求項 1 から 10 のいずれか 1 つに記載の内視鏡装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、内視鏡装置に関し、特に、相関 2 重サンプリング処理を行う内視鏡装置に関する。

【背景技術】

【0002】

従来より、医療分野では、体腔内に細長の挿入部を挿入することにより、体腔内臓器等を観察したり、必要に応じて処置具チャンネル内に挿通した処置具を用いて患部に対して各種治療あるいは処置のできる内視鏡が広く利用されている。また、工業用分野においても、ボイラ、タービン、エンジン、化学プラント等の内部の傷、腐食等の観察、検査等に工業用内視鏡が広く用いられている。

【0003】

上述の内視鏡装置、すなわち観察部位の映像を表示する映像装置に用いられる内視鏡には、挿入部の先端部に光学像を画像信号に光電変換する CCD 等の撮像素子を配設した電子内視鏡（以下、内視鏡と略記する）がある。

この内視鏡は、光源装置から供給される照明光によって照らされた観察部位の観察像を撮像素子の撮像面に結像させ、この撮像素子で光電変換した観察像の画像信号を外部装置であるカメラコントロールユニット（以下 CCU と略記する）の信号処理部に伝達して映像信号を生成し、モニタの画面上に内視鏡画像を表示させて、ユーザが観察部位を観察できる構成になっている。

【0004】

このような内視鏡装置は、例えば、先端部に設けられた観察部位を撮像する固体撮像素子、及び観察部位を照明する光源を有する撮像部と、電源及び信号処理部を有する制御部とから構成されている。制御部と撮像部とは、複数の電線からなるケーブルで接続されており、このケーブルを介して、制御部から撮像部に対する電力供給と、撮像部を制御する制御信号及び撮像部からの映像信号等の送受信が行われる。

【0005】

10

20

30

40

50

工業用途では、ユーザの要求が幅広く、例えば、1 m～30 mの挿入部の長さに対応できるような内視鏡装置が要求される場合がある。撮像部と制御部とが最大30 mのケーブルで接続される事になる場合、結果として、撮像部からの出力信号が制御部側の信号処理タイミングとずれてしまい、最適な画像処理が出来ないという問題があった。このような問題を解決する内視鏡装置が提案されている（例えば、特許文献1参照）。

【特許文献1】特開2000-231062号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

その提案に係る内視鏡装置では、撮像部からの出力信号を相関2重サンプリング処理するためのサンプリングパルスの位相を、撮像部からの信号の遅延量に合わせて遅延させるようにずらすことにより、最適な画像を得るように画像処理が行われる。従来、その遅延回路として、遅延素子としてのバッファ回路が多段で設けられて、信号遅延が行われる。その提案の内視鏡装置では、例えば1 mのような比較的短いケーブル長に対応させる場合には、撮像部からの遅延量が少ないので精度良く遅延させることが可能である。

【0007】

しかし、30 mのような長いケーブルにも対応可能な遅延量を実現するためには、必要な遅延量が大きくなるため、バッファ回路を多段で構成する必要がある。その結果、バッファ回路におけるバッファ回路のバラツキが加算され、トータルの遅延量のバラツキが大きくなり精度良く遅延させることが出来ないという問題がある。精度のよい遅延が得られなければ、結果として、画像ノイズ増加、感度低下、色再現悪化、等の不具合が発生してしまう。

【0008】

本発明は、このような事情を鑑みてなされたものであり、精度良くサンプリングパルスの位相を遅延することにより、様々なケーブル長に対しても最適な画像を得られる内視鏡装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の一態様によれば、内視鏡先端部に配置された対物レンズより取り込んだ被写体像を撮像する撮像手段で得られた信号を相関2重サンプリング処理する相関2重サンプリング手段と、前記相関2重サンプリング手段に前記相関2重サンプリング処理のためのタイミング信号を供給するタイミング発生手段と、前記相関2重サンプリング手段においてサンプルホールドされた信号をアナログデジタル変換するA/D変換手段と、該A/D変換手段の出力を信号処理する映像信号処理手段と、を有し、前記タイミング発生手段は、パルス生成用クロック信号を基に、前記相関2重サンプリング処理のための前記タイミング信号を生成するパルス生成回路と、前記パルス生成用クロック信号もしくは前記パルス生成回路にて生成された前記タイミング信号の位相を、第1の量だけ位相シフトさせる第1の位相シフト回路と、前記パルス生成用クロック信号もしくは前記パルス生成回路にて生成された前記タイミング信号の位相を、前記第1の量とは異なる第2の量だけ位相シフトさせる第2の位相シフト回路と、を有し、前記パルス生成回路と、前記第1の位相シフト回路と、前記第2の位相シフト回路が直列に接続される内視鏡装置が提供される。

【発明の効果】

【0010】

本発明によれば、精度良くサンプリングパルスの位相を遅延することにより、様々なケーブル長に対しても最適な画像を得られる内視鏡装置を実現することができる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施の形態を図面を用いて説明する。

【0012】

（第1の実施の形態）

10

20

30

40

50

(全体構成)

図 1 は、本発明の第 1 の実施の形態に係る内視鏡装置の全体構成を示すブロック図である。

内視鏡装置 1 は、細長の挿入部 1 1 と、本体部 1 2 と、液晶表示装置 (LCD) 等の表示装置 1 3、各種操作のためのリモコン 1 4 とを含んで構成されている。また、本体部 1 2 には記録媒体 1 5 が取り付け可能となっており、記録媒体 1 5 に静止画及び動画の記録が可能となっている。

【0013】

挿入部 1 1 の先端部には、LED 2 1、対物レンズ 2 2 及び CCD 2 3 が設けられている。挿入部 1 1 の先端部に配置された照明装置としての LED 2 1 により照明された被写体の像は、同じ挿入部 1 1 の先端部に配置された対物レンズ 2 2 の結像位置に配置された、固体撮像素子としての電荷結合素子 (以下、CCD と略記) 2 3 の撮像面上に結像され、被写体の像の撮像が行われる。

【0014】

本体部 1 2 は、CCD ドライバ 3 1、画像処理部 3 2、システム制御部 3 3、画像記録部 3 4、LED 駆動部 3 5 を含む。

撮像手段としての CCD 2 3 は、細長の複合同軸ケーブルにより接続された、本体部 1 2 の CCD 駆動部としての CCD ドライバ 3 1 を介して画像処理部 3 2 に接続される。画像処理部 3 2 にて、CCD 2 3 を駆動するための各種パルスが生成されて CCD ドライバ 3 1 に供給される。CCD ドライバ 3 1 では、細長の複合同軸ケーブルにて各種 CCD 駆動パルスが減衰することを考慮して、供給された各種パルスが増幅されて CCD 2 3 に出力される。CCD 2 3 は、画像処理部 3 2 にて生成された各種 CCD 駆動パルスのタイミングに基づいて光電変換する。CCD 2 3 にて、光電変換された CCD 2 3 の出力信号は細長の複合同軸ケーブルを介して、画像処理部 3 2 まで伝送される。

【0015】

一方で、画像処理部 3 2 は、システム制御部 3 3 と通信を行っている。システム制御部 3 3 は、リモコン 1 4 からの入力信号である、ズーム設定、フリーズ設定、輪郭補正設定、ガンマ補正設定、輝度設定等の信号を受け取り、それぞれに対応した指示を画像処理部 3 2 に対して出力する。その指示に従って画像処理部 3 2 は、CCD 2 3 からの出力信号に対して各種画像処理を行い、映像出力信号を画像記録部 3 4 に出力する。

【0016】

挿入部 1 1 の先端部に配置された照明用の LED 2 1 は、挿入部 1 1 を通る細長の信号ケーブルにより LED 駆動部 3 5 と接続されている。また、LED 駆動部 3 5 は、システム制御部 3 3 と接続されており、LED 駆動部 3 5 は、システム制御部 3 3 からの LED 点灯制御信号に基づいて LED 2 1 の点灯／消灯の駆動制御を行う。さらに、システム制御部 3 3 は、リモコン 1 4 と接続されており、リモコン 1 4 上の LED 制御用のスイッチの操作に応じた制御信号をリモコン 1 4 から受け取り、その制御信号に応じて LED 駆動部 3 5 を制御する。

【0017】

また、画像処理部 3 2 より出力された映像信号は、画像記録部 3 4 に出力される。画像記録部 3 4 は、記録媒体 1 5 が取り付けられている場合、入力された映像信号に係る画像を、静止画及び動画として記録媒体 1 5 に記録することが可能である。その場合、システム制御部 3 3 がリモコン 1 4 からの入力信号に基づき、画像記録部 3 4 に対して記録のための指示信号を出力する。また、画像記録部 3 4 より出力された映像信号は、表示部である LCD 1 3 に出力され、内視鏡画像が表示される。また、画像記録部 3 4 は、外部出力としての映像出力端子へも、映像信号を出力している。

【0018】

(画像処理部)

次に、画像処理部 3 2 の構成について説明する。

図 2 は、画像処理部 3 2 の構成を説明するためのブロック図である。画像処理部 3 2 は、プリアンプ 4 1、CDS 4 2、タイミングジェネレータ (以下、TG と略す) 4 3、プログ

10

20

30

40

50

ラマブル・ゲイン・アンプ (PGA) 44、CPU 45、アナログデジタル変換器であるA/D部46、画像処理回路47、RAM 48及びROM 49を含んで構成されている。

【0019】

CCD 23から出力された出力信号は、プリアンプ41に入力される。プリアンプ41は、細長の複合同軸ケーブルを伝送することにより減衰した減衰分を補うために、CCD 23の出力信号を増幅する。プリアンプ41より出力されたCCD 23の出力信号は、CDS部42に入力される。CDS部42は、CCD 23の出力信号に対して、TG 43より供給されるタイミング信号のタイミングに基づいて、相関2重サンプリング処理を行ってノイズ除去を行う。相関2重サンプリング手段としてのCDS部42より出力されたサンプルホールドされたCCD 23の出力信号は、プログラマブル・ゲイン・アンプ (PGA) に入力され、CPU 45からの制御信号に基づく増幅率にて信号増幅されて、A/D部46に出力される。A/D変換手段としてのA/D部46は、TG 43より供給されるAD変換のタイミング信号であるADCLK信号のタイミングに基づいて、A/D変換を行い、CCD 23の出力信号のデジタル信号を画像処理回路47に出力する。画像処理回路47は、CPU 45からの制御信号による指示に応じて各種画像処理を施して画像記録部34に映像信号を出力する映像信号処理手段である。CPU 45は、システム制御部33からの画像処理に関する指示に応じて、画像処理回路47を制御している。画像処理回路47は、各種処理の中でも特に電子ズームを実現するために、フレームメモリとしてのRAM 48に対して、画像データの書き込み及び読み出しも行っている。なお、CPU 45は、ROM 49に記憶されたプログラムを読み出して、所定の処理を実行している。

【0020】

TG 43は、CPU 45からのCCD駆動パルス設定、及び画像処理回路47より供給される同期信号に基づいて、CCD 23を駆動するためのリセットゲートパルス信号を含むCCD駆動パルスを生成する。TG 43より出力されたCCD駆動パルスは、CCDドライバ31に出力され、上述したように信号増幅されてCCD 31に供給される。

【0021】

また、TG 43は、CDS部42に、相関2重サンプリング処理のための、後述するSHP (サンプルホールドプリチャージレベル) 及びSHD (サンプルホールドデータレベル) の各パルス信号を、タイミング信号として出力するタイミング発生手段である。

【0022】

(タイミングジェネレータ (TG))

次に、タイミング発生手段としてのTG 43の構成について説明する。

図3は、TG 43の構成を示すブロック図である。TG 43は、カウンタ回路51、パルス生成回路52、シリアルインターフェース回路 (シリアルI/F) 53、レジスタ54、SHP用遅延素子位相シフト回路55、SHP用位相シフトテーブル部56、SHP用パルス生成回路57、SHP用シフトレジスタ位相シフト回路58、SHD用遅延素子位相シフト回路59、SHD用位相シフトテーブル部60、SHD用パルス生成回路61、及びSHD用シフトレジスタ位相シフト回路62を含む。SHP用遅延素子位相シフト回路55、SHP用位相シフトテーブル部56、SHP用パルス生成回路57、及びSHP用シフトレジスタ位相シフト回路58が、SHP用位相シフト回路を構成する。SHD用遅延素子位相シフト回路59、SHD用位相シフトテーブル部60、SHD用パルス生成回路61、及びSHD用シフトレジスタ位相シフト回路62が、SHD用位相シフト回路を構成する。

【0023】

画像処理回路47より出力される各種同期信号、ここではHD (水平同期) /VD (垂直同期) /FD (フィールド同期) 信号がカウンタ回路51に入力される。カウンタ回路51は、各同期信号のカウント値及び各同期信号をパルス生成回路52に出力する。

【0024】

さらに、画像処理回路47からのパルス生成用クロック信号CLK_INが、パルス生成回路52に入力されている。パルス生成回路52は、入力されたパルス生成用クロック信号CLK_IN、同期信号HD/VD/FD、及び同期信号カウント値、に基づく各種CCD駆動パルス信号とA

D用クロック信号ADCLKを生成し、それぞれCCDドライバ31とA/D部46に出力している。各種CCD駆動パルス信号は、H1/H2, RG, XV1~XSG1/VSG2, XSUBである。

【0025】

なお、以下、CDS処理におけるSHP（サンプルホールドプリチャージレベル）及びSHD（サンプルホールドデータレベル）の各パルス信号を位相シフトさせる位相シフト回路の動作について説明するが、両者の回路は、同じ回路構成のためSHPパルス信号用の位相シフト回路を主として説明する。

【0026】

画像処理回路47より出力されるパルス生成用クロック信号CLK_INは、SHP用遅延素子位相シフト回路55に入力される。SHP用遅延素子位相シフト回路55は、SHP用位相シフトテーブル部56からの制御信号DCS_SHPに基づいて、遅延素子を利用してパルス生成用クロック信号CLK_INの位相を、後述する小さい量だけ位相シフトさせた遅延SHPクロック信号CLK_DLY_SHPを生成し、SHP用パルス生成回路57に出力する位相シフト回路である。制御信号DCS_SHPは、遅延素子による位相シフトのためのSHP用の制御信号である。SHP用遅延素子位相シフト回路55の構成については、後述する。

【0027】

SHP用パルス生成回路57は、遅延SHPクロック信号CLK_DLY_SHPを基準として、相關2重サンプリング処理のためのタイミング信号であるSHPパルス信号のSHP遅延1パルス信号SHP_DLY1を生成して、SHP用シフトレジスタ位相シフト回路58に出力している。

【0028】

SHP用シフトレジスタ位相シフト回路58は、SHP用遅延素子位相シフト回路55から出力された遅延SHPクロック信号CLK_DLY_SHPを基準にし、かつSHP用位相シフトテーブル部56からの制御信号SCS_SHPに基づいて、SHP遅延1パルス信号SHP_DLY1の位相を、シフトレジスタにより、さらに大きな量だけ位相シフトさせて、SHP遅延2パルス信号SHP_DLY2を生成し、CDS部42に出力する位相シフト回路である。制御信号SCS_SHPは、シフトレジスタによる位相シフトのためのSHP用の制御信号である。

【0029】

SHP用遅延素子位相シフト回路55における位相シフトされる量は、SHP用シフトレジスタ位相シフト回路58において位相シフトされる量とは異なっており、小さい。

CDS部42では、このSHP遅延2パルス信号SHP_DLY2を基準にしてCDS処理を行っている。

【0030】

また、CPU45は、位相シフト量のデータを、シリアルインターフェース回路53を介して3線シリアルにてレジスタ54に伝送して設定する。SHP用位相シフトテーブル部56には、レジスタ54に設定された位相シフト量が入力される。レジスタ54に設定される位相シフト量は、内視鏡の挿入部の長さに応じた値である。SHP用位相シフトテーブル部56は、入力された位相シフト量に応じて予め設定されたデータを出力する。その出力されるデータは、その入力された位相シフト量に対して、遅延素子位相シフト量とシフトレジスタ位相シフト量の組み合わせの中で、遅延素子による位相シフト量が最小となるデータである制御信号DCS_SHPとSCS_SHPである。

【0031】

遅延素子による位相シフト量が最小となるデータが設定されて出力するようにしたのは、遅延素子の位相シフト量のバラツキが大きく、シフトレジスタの位相シフト量のバラツキが小さいという特性を利用して、最もバラツキが小さくなるような遅延設定を実現するためである。

【0032】

なお、ここでは、SHP用位相シフトテーブル部56は、位相シフト量に対して、遅延素子位相シフト量とシフトレジスタ位相シフト量の組み合わせのデータを保持するテーブルであり、入力された位相シフト量に対してその組み合わせのデータを出力する回路であるが、SHP用位相シフトテーブル部56は、組み合わせのデータの演算処理を行う回路でもよい。すなわち、SHP用位相シフトテーブル部56に代えて、入力された位相シフト量に

10

20

30

40

50

対して、遅延素子位相シフト量とシフトレジスタ位相シフト量の組み合わせを、遅延素子による位相シフト量が最小となるように、演算して出力する回路を用いてもよい。すなわち、その演算回路は、遅延素子位相シフト量とシフトレジスタ位相シフト量の決定する位相シフト量決定手段を構成する。

【0033】

さらに、なお、外部のCPU 45が、位相シフト量に対して、遅延素子位相シフト量とシフトレジスタ位相シフト量の組み合わせデータを、遅延素子位相シフト量が最小となるように演算し、各位相シフト回路に出力するようにして、SHP用位相シフトテーブル部56を省略してもよい。

【0034】

以上のように、SHP用位相シフトテーブル部56は、レジスタ54に設定された位相シフト量に対して、遅延素子位相シフト量とシフトレジスタ位相シフト量の組み合わせの中で、遅延素子位相シフト量が最小となるように各遅延量を決定して、SHP用遅延素子位相シフト回路55及びSHP用シフトレジスタ位相シフト回路58を制御している。

【0035】

なお、SHD用遅延素子位相シフト回路59、SHD用位相シフトテーブル部60、SHD用パルス生成回路61、及びSHD用シフトレジスタ位相シフト回路62は、上述したSHPパルス信号用の位相シフト回路と、全く同じ動作あるいは処理を独立して行っているので、説明は省略する。

【0036】

SHPパルス信号用の位相シフト回路とSHDパルス信号用の位相シフト回路を個別に設けているのは、内視鏡では、CCD出力信号を長距離伝送するによりCCD出力信号の波形が歪んでしまうので、SHPとSHDの各位相シフト量を独立に調整しないと最適な画像が得られない場合があるという理由からである。従って、SHD用位相シフトテーブル部60のデータの内容は、SHP用位相シフトテーブル部56の内容と同じでない場合がある。

【0037】

次に、SHP用遅延素子位相シフト回路55の構成について説明する。図4は、SHP用遅延素子位相シフト回路55の構成例を示す回路図である。なお、SHD用遅延素子位相シフト回路59の構成も同様である。

図4のSHP用遅延素子位相シフト回路55は、遅延素子として複数のバッファ71を用いてパルス生成用クロック信号CLK_INの微小な量の位相シフトを実現する。複数のバッファ71は、直列に接続されており、その各接続ポイントからの出力が、セクタ72に並列に入力されている。複数の接続ポイントの出力信号は、各接続ポイントまでに直列に接続されたバッファの数が異なっているので、互いに位相が異なった信号となる。セクタ72は、SHP用位相シフトテーブル部56から出力される制御信号DCS_SHPに基づいて、並列に入力された互いに位相の異なる複数の信号のうち1つを選択して、遅延SHPクロック信号CLK_DLY_SHPとして、SHP用パルス生成回路57に出力する。

【0038】

なお、SHP用遅延素子位相シフト回路55は、パルス生成用クロック信号CLK_INの微小な量の位相シフトを実現するので、バッファ71の数は多くない。そのため、回路規模も小さくでき、かつトータルの誤差も小さい。

【0039】

図5は、SHP用遅延素子位相シフト回路55の他の構成例を示す回路図である。図5のSHP用遅延素子位相シフト回路55Aは、基本的な構成は図4の回路と同等で、遅延素子が遅延線73に置き換わった例である。動作は図4と全く同じであるので、説明は省略する。

【0040】

なお、遅延素子は、上記したバッファや遅延線の他にも、コイル、基板上の配線、フィルタ等を利用してもよく、あるいは、種々の素子の組み合わせでもよく、同じ効果を得ることができる。

10

20

30

40

50

【0041】

次に、SHP用シフトレジスタ位相シフト回路について説明する。

図6は、SHP用シフトレジスタ位相シフト回路58の構成例を示すブロック図である。
なお、SHD用シフトレジスタ位相シフト回路62の構成も、図6と全く同等である。

【0042】

SHP用シフトレジスタ位相シフト回路58は、4つのフリップフロップ回路（以下、FFと略す）81、82、83、84と、シフトレジスタ85と、セクタ86と、HIGHあるいはLOWの信号を生成して出力するH/L信号生成回路87とを含む。

【0043】

SHP用シフトレジスタ位相シフト回路58は、SHP用パルス生成回路57において生成され微小位相シフトしたSHP遅延1パルス信号SHP_DLY1の位相を、SHP用遅延素子位相シフト回路55において生成され微小位相シフトした遅延SHPクロック信号CLK_DLY_SHPを基準に、制御信号SCS_SHPに基づいて、シフトレジスタ85によって、位相シフトする。

【0044】

SHP遅延1パルス信号SHP_DLY1は、FF81を経由して入力され、FF82とシフトレジスタ85に入力される。シフトレジスタ85は、SHP用位相シフトテーブル部56からのシフトレジスタ位相シフト用の制御信号SCS_SHPにより指定される位相シフト量に応じた位相シフトを実施して、位相シフトしたSHP遅延1パルス信号SHP_DLY1を、FF83を経由してセクタ86に出力する。

【0045】

シフトレジスタ85は、複数のシフトレジスタを有し、制御信号SCS_SHPに基づいて、シフトする位相量が制御される。シフトレジスタ85は、制御信号SCS_SHPにより指定された位相シフト量だけSHP遅延1パルス信号SHP_DLY1を位相シフトする。

【0046】

セクタ86には、FF82を経由したSHP遅延1パルス信号SHP_DLY1と、FF83を経由した、シフトレジスタ85により位相シフトされたSHP遅延1パルス信号SHP_DLY1とが入力される。セクタ86は、入力された2つの信号の内の一つを選択して、FF84を経由して、選択した信号を、SHP遅延2パルス信号SHP_DLY2として、CDS部42に出力する。

【0047】

また、セクタ86には、H/L信号生成回路87からのHIGH又はLOWの信号が入力されている。セクタ86は、LOW信号が入力されているときは、FF82からのSHP遅延1パルス信号SHP_DLY1を選択し、HIGH信号が入力されているときは、FF83からの位相シフトされたSHP遅延1パルス信号SHP_DLY1を選択し、選択した信号を出力する。

【0048】

H/L信号生成回路87は、制御信号SCS_SHPの示す位相シフト量が0(ゼロ)のときは、LOW信号を生成し、制御信号SCS_SHPの示す位相シフト量が0(ゼロ)以外のときは、HIGH信号を生成する。すなわち、セクタ86は、位相シフト量が0の時にはFF82の出力を選択し、位相シフト量が0以外の時にはFF83の出力を選択するように制御されている。

【0049】

なお、FF82と83は、位相シフト量が0の時と、0以外の時とで、出力タイミングを一致させるために挿入されている。さらになお、FF81と84は、SHP用シフトレジスタ位相シフト回路58の入力および出力のタイミングが、外部回路とタイミングが合うようにするために挿入されている。

【0050】

なお、図3から図6に示したTG43は、再構成可能なハードウェア、例えばFPGA(Field Programmable Gate Array)を用いて実現することが可能である。

【0051】

また、各パルス信号の遅延素子位相シフト回路55、59、シフトレジスタ位相シフト回路58、62は、パルス生成回路57、61の後段に、直列に配置するようにしてもよく、かつその配置順序はいずれが先でも後でもよい。

10

20

30

40

50

【0052】

次に、上述した回路構成における各信号の状態を説明する。以下、SHPパルス信号についてのみ説明し、SHDパルス信号については説明を省く。

図7は、位相シフト無しの場合のタイミングチャートである。図7は、例えば、内視鏡装置1の挿入部11が長い場合に位相シフトが無い、すなわち位相シフト量が0（ゼロ）、とするときのタイミングチャートである。

【0053】

挿入部11が位相シフトをする必要のあるものであるか否かは、予め挿入部11の長さ、あるいはID等の識別情報により、CPU45は決定することができる。内視鏡装置1の挿入部11の長さに応じて、CPU45は、位相シフト量を決定し、レジスタ54に設定する。なお、挿入部11が着脱可能な場合は、取り付けられた挿入部に設けられたID信号記憶部に記憶されたIDを読み出して、CPU45は、シフト量を決定する。

【0054】

レジスタ54に設定されたシフト量が0（ゼロ）であるので、SHP用遅延素子位相シフト回路55における位相シフトは無く、パルス生成用クロック信号CLK_INと遅延SHPクロック信号CLK_DLY_SHPは同位相となっている。SHP用パルス生成回路57は、この遅延SHPクロック信号CLK_DLY_SHPを基準に、SHP遅延1パルス信号SHP_DLY1を生成するが、位相シフト量が0なので、SHP用シフトレジスタ位相シフト回路58における位相シフトもない。その結果、SHP遅延1パルス信号SHP_DLY1と同位相のSHP遅延2パルス信号SHP_DLY2が、CDS42に出力される。この時、各種CCD駆動パルス、及びADCLK信号と同じように、パルス生成用クロック信号CLK_INの位相を基準にして、サンプルホールドプリチャージレベルのパルス信号であるSHP遅延2パルス信号SHP_DLY2が生成されることとなる。

【0055】

図8は、位相シフト有りの場合のタイミングチャートである。CPU45は、挿入部11の長さから位相シフトが必要な場合、位相シフトすべきシフト量を決定し、レジスタ54に決定したシフト量データを設定する。

【0056】

画像処理回路47から入力されるパルス生成用クロック信号CLK_INに対して、SHP用遅延素子位相シフト回路55は、微小量の位相シフトを施し、遅延SHPクロック信号CLK_DLY_SHPを生成する。この遅延SHPクロック信号CLK_DLY_SHPは、SHP用パルス生成回路57に入力され、入力クロック信号の位相を基準にして、SHP遅延1パルス信号SHP_DLY1が生成される。

【0057】

このSHP遅延1パルス信号SHP_DLY1は、位相シフト無し時のSHP遅延2パルス信号SHP_DLY2(0)と比較して、微小量DSだけ位相シフトしたパルス信号となる。このSHP遅延1パルス信号SHP_DLY1は、さらに、SHP用シフトレジスタ位相シフト回路58において大幅に位相シフトされる。この大幅なシフト量SSの位相シフトは、シフトレジスタによりなされるものであり、大きなシフトが精度よく行える。シフト量DSとSSを加算したシフト量TSの位相シフトが実現される。その結果、最終的に全体としてシフト量TSのSHP遅延2パルス信号SHP_DLY2が、サンプルホールドプリチャージレベルのパルス信号としてCDS部42に出力される。

【0058】

図8に示す例では遅延SHPクロック信号CLK_DLY_SHPは、3クロック分位相シフトしている。この時、各種CCD駆動パルス及びADCLK信号は、パルス生成用クロック信号CLK_INの位相を基準としているのに対して、SHP遅延2パルス信号SHP_DLY2は、トータルでシフト量TSだけ位相シフトした信号となっている。

【0059】

以上のように、この例では、目標とする位相シフト量TSが、遅延SHPクロック信号CLK_DLY_SHPの3クロック分+ α （=DS）としているので、SHP用位相シフトテーブル部56が上記のようにシフト制御を行っている。目標となる位相シフト量が変わった時には、SHP

用位相シフトテーブル部 5 6 が、SHP用遅延素子位相シフト回路 5 5 とSHP用シフトレジスタ位相シフト回路 5 8 を、目標の位相シフト量に応じて、制御して最適な位相シフト量を実現する。このとき、位相シフト量のバラツキが大きいSHP用遅延素子位相シフト回路 5 5 での位相シフト量が最小となるように制御されることにより、全体として精度の良い位相シフトが実現されている。

【0060】

図 9 から図 11 は、上述した位相シフトをした場合のCDS部 42 における相関 2 重サンプリングのタイミングを説明するための図である。

【0061】

図 9 は、例えば 30 m 等の挿入部 11 が長い場合のタイミングを示す図である。この時のサンプルホールドプリチャージレベルのパルス信号SHP_DLY2及びサンプルホールドデータレベルのパルス信号SHD_DLY2は、それぞれ、CCD 23 の出力信号CCD_OUTのフィードスルー期間及び信号期間の信号レベルをサンプルホールドするために、点線で示すタイミングで、適切に出力されている。よって、この場合は適切な画像を得ることが出来る。

【0062】

図 10 は、例えば 1 m 等の挿入部 11 が短い場合のタイミングを示す図である。この場合、CCD 23 の出力信号CCD_OUTの波形は、矢印Aで示す方向に遅れる。その結果、図 9 に示すタイミングと比較して、CCD の出力信号CCD_OUTに対する各タイミング信号の遅延量が少ない。その結果、図 10 にあるようにCCD 23 の出力信号CCD_OUTの位相が、最適なタイミング位置のサンプルホールドプリチャージレベルのパルス信号SHP_DLY2及びサンプルホールドデータレベルのパルス信号SHD_DLY2に対してずれてしまう。従って、パルス信号SHP_DLY2及びSHD_DLY2は、それぞれCCD 23 の出力信号CCD_OUTの最適なサンプリング位置でサンプルホールド出来ないで、正常な画像が得られない。

【0063】

図 11 は、図 10 の場合におけるCCD 23 の出力信号CCD_OUTのタイミングに合わせて、パルス信号SHP_DLY2及びSHD_DLY2を適切に位相シフトさせた場合のタイミングを示す図である。図 11 では、サンプルホールドプリチャージレベルのパルス信号SHP_DLY2及びサンプルホールドデータレベルのパルス信号SHD_DLY2は、それぞれ適切な量だけ位相シフトされて、CCD 23 の出力信号CCD_OUTのフィードスルー期間及び信号期間の信号レベルにおいて適切にサンプルホールドが行われ、最適な画像を得ることが出来る。

【0064】

以上のように、本実施の形態によれば、精度良くサンプリングパルスの位相を遅延することにより、様々なケーブル長に対しても最適な画像を得られる内視鏡装置を実現することができる。

【0065】

(第 2 の実施の形態)

(全体構成)

本発明の第 2 の実施の形態に係る内視鏡装置は、RGパルス信号及びADCLK信号に対しても位相シフトを行うようにした点が、上述した第 1 の実施の形態の内視鏡装置とは異なる。本実施の形態の内視鏡装置の構成は、第 1 の実施の形態の内視鏡装置と略同じであるため、第 1 の実施の形態の内視鏡装置と同じ構成要素については同じ符号を用いて説明は省略し、異なる点のみを説明する。

【0066】

図 12 は、本発明の第 2 の実施の形態に係る内視鏡装置の画像処理部 32 のTG 43A の構成を示すブロック図である。図 12 は、図 3 の構成に、RG遅延素子位相シフト回路 63 と、RG用位相シフトテーブル 64 と、RG用パルス生成回路 65 と、RG用シフトレジスタ位相シフト回路 66 と、ADCLK用シフトレジスタ位相シフト回路 67 とが、追加されている。

【0067】

CDS処理におけるリセット期間のリセットゲートパルス信号（以下、RG信号という）は

10

20

30

40

50

、CCDドライバ31へ出力される。RG遅延素子位相シフト回路63と、RG用位相シフトテーブル64と、RG用パルス生成回路65と、RG用シフトレジスタ位相シフト回路66が、RG用位相シフト回路を構成し、RG信号の位相シフトを行う。

【0068】

RG遅延素子位相シフト回路63と、RG用位相シフトテーブル64と、RG用パルス生成回路65と、RG用シフトレジスタ位相シフト回路66は、それぞれ、第1の実施の形態におけるSHP及びSHDの各パルス信号を位相シフトさせる位相シフト回路と同じ構成である。具体的には、RG遅延素子位相シフト回路63の構成は、SHP用遅延素子位相シフト回路55及びSHD用遅延素子位相シフト回路59と同じである。RG用位相シフトテーブル64の構成は、記憶されているデータは異なるが、SHP用シフトテーブル部56及びSHD用位相シフトテーブル部64と同じである。RG用パルス生成回路65の構成は、SHP用パルス生成回路57及びSHD用パルス生成回路61と同じである。RG用シフトレジスタ位相シフト回路66の構成は、SHP用シフトレジスタ位相シフト回路58及びSHD用シフトレジスタ位相シフト回路62と同じである。

【0069】

RG用位相シフト回路が、上述したSHP用位相シフト回路及びSHD用位相シフト回路と全く同じ動作をしてRG信号の位相シフトを実現して、リセット期間のRG信号RG_DLY2を、最終的にCCDドライバ31に出力している。

【0070】

このときのRG用の位相シフト量は、ケーブル自体の個体特性によって決定される。そこで、内視鏡装置1の挿入部11あるいはケーブル自体が、その位相シフト量データを保持するか、あるいはその位相シフト量に応じたIDデータを保持する記憶部を有し、挿入部11の変更、又はケーブルの変更もしくは取り替え時に、CPU45がその記憶部に記憶されたデータを読み出すことによって、挿入部11等の個々の位相シフト量のデータをレジスタ54に設定することができる。

【0071】

以上のように、本実施の形態によれば、同じケーブル長であってもケーブル特性のバラツキによりCCD23の出力信号CCD_OUTが変化してしまい、最適なCCD23の出力信号波形を得ることが出来ず、ノイズが増えてしまうという問題を解決するために、このRG用位相シフト回路により、位相を調整して最適なCCD23の出力信号波形を得ることにより、第1の実施の形態に示す構成よりもさらに画質を向上することが可能となる。

【0072】

さらに、本実施の形態では、第1の実施の形態に対して、ADCLK用位相シフト回路としてのADCLK用シフトレジスタ位相シフト回路67が追加されている。ADCLK用シフトレジスタ位相シフト回路67には、A/Dパルス生成回路52からのA/Dタイミング信号であるADCLK信号が入力される。このADCLK用位相シフト回路を構成するADCLK用シフトレジスタ位相シフト回路67は、SHP用シフトレジスタ位相シフト回路58、SHD用シフトレジスタ位相シフト回路62及びRG用シフトレジスタ位相シフト回路66と全く同じの動作をして、ADCLK信号に対して設定された量の位相シフトを実現して、位相シフトされたADCLK信号であるADCLK_DLY信号を最終的にA/D部46に出力している。

【0073】

A/D部46では、CDS部42においてサンプルホールドされた各信号を、ADCLK_DLY信号のタイミングに基づいてA/D変換することになる。

精度のよいA/D変換を行うためには、A/D部46におけるA/D変換のサンプリングは、信号レベルが安定しているときに行わなければならないが、ケーブル長の違いにより、その信号レベルの安定している期間が異なる。そこで、内視鏡装置1の挿入部11あるいはケーブル自体が、そのケーブル長データを保持するか、あるいはそのケーブル長に応じたIDデータを保持する記憶部を有し、挿入部11の変更、又はケーブルの変更もしくは取り替え時に、CPU45がその記憶部に記憶されたデータを読み出すことによって、挿入部11等の個々のケーブル長に対応するシフト量データをレジスタ54に設定することができる。

。設定されたデータは、ADCLK用シフトレジスタ位相シフト回路67に設定される。

【0074】

以上のように、本実施に形態によれば、ADCLK用位相シフト回路は、信号レベルが確実に安定しているタイミングでA/D変換しないと最適な画像が得られないという問題を解決するために、ADCLK信号の位相調整を行い、最適なA/D変換タイミングを実現することにより、第1の実施の形態に示す構成よりもさらに画質を向上することが可能となる。

【0075】

なお、ここで、ADCLK用位相シフト回路では、遅延素子による位相シフト回路が省略されている。これは、CDS部42において、サンプルホールドされた信号のレベルが安定したタイミングが比較的長いため、遅延素子による微妙な位相シフトは必要ないからである。このような構成にすることによって、ADCLK信号の必要な位相シフトを最小限の回路構成で実現することが出来る。

【0076】

図13は、本実施の形態におけるADCLK信号の位相シフトのタイミングの例を示すタイミングチャートである。

画像処理部47から入力されたパルス生成用クロック信号CLK_INを基準として、パルス生成回路52がADCLK信号を生成する。このADCLK信号は、パルス生成用クロック信号CLK_INの位相に同期されたクロックとして生成される。このADCLK信号に対して、ADCLK用シフトレジスタ位相シフト回路67において位相シフトされたADCLK_DLY信号が最終的にA/D部46に出力される。図13に示す例では、ADCLK信号の位相を、パルス生成用クロック信号CLK_INの7クロック分だけ位相シフトさせて出力した場合の図となっている。ADCLK用位相シフト回路67は、SHP用及びSHD用位相シフト回路とは異なり、遅延素子による位相シフト回路が存在しないので、シフトレジスタによる位相シフト量がトータルの位相シフト量ADTSに等しくなる。

【0077】

以上のように、本実施の形態によれば、RG信号とADCLK信号とに対して、位相シフトを行うようにしたので、第1の実施の形態に示す構成よりもさらに画質を向上することが可能となる。

【0078】

なお、RG信号とADCLK信号の両方に対して位相シフトを行わなくても、いずれか一方のみに位相シフトを行っても、第1の実施の形態に示す構成よりもさらに画質を向上することができる。

【0079】

以上のように、撮像手段を内視鏡先端部に配置した内視鏡装置において、撮像部出力信号の遅延量に応じて、相関2重サンプリングパルスの位相を精度良く遅延させることが出来るので、最適な画像処理を実現することが出来る。また、必要な遅延量によらず一定の回路規模にすることが出来るので、大きな遅延量が必要なケーブルを使用する場合には回路規模を小さくすることが出来る。

従って、上述した2つの実施の形態に係る内視鏡装置によれば、精度良くサンプリングパルスの位相を遅延することにより、様々なケーブル長に対して、最適な画像を得られるように信号処理が可能な内視鏡装置を実現することができる。

【0080】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

【図面の簡単な説明】

【0081】

【図1】本発明の第1の実施の形態に係る内視鏡装置の全体構成を示すブロック図である。

【図2】本発明の第1の実施の形態に係る画像処理部の構成を説明するためのブロック図である。

10

20

30

40

50

【図 3】本発明の第 1 の実施の形態に係るタイミングジェネレータ (TG) の構成を示すブロック図である。

【図 4】本発明の第 1 の実施の形態に係るSHP用遅延素子位相シフト回路の構成例を示す回路図である。

【図 5】本発明の第 1 の実施の形態に係るSHP用遅延素子位相シフト回路の他の構成例を示す回路図である。

【図 6】本発明の第 1 の実施の形態に係るSHP用シフトレジスタ位相シフト回路の構成例を示すブロック図である。

【図 7】本発明の第 1 の実施の形態に係る、位相シフト無しの場合のタイミングチャートである。

10

【図 8】本発明の第 1 の実施の形態に係る、位相シフト有りの場合のタイミングチャートである。

【図 9】本発明の第 1 の実施の形態に係る、例えば 30 m 等の挿入部が長い場合のタイミングを示す図である。

【図 10】本発明の第 1 の実施の形態に係る、例えば 1 m 等の挿入部が短い場合のタイミングを示す図である。

【図 11】図 10 の場合における CCD の出力信号 CCD_OUT のタイミングに合わせて、パルス信号 SHP_DLY2 及び SHD_DLY2 を適切に位相シフトさせた場合のタイミングを示す図である。

【図 12】本発明の第 2 の実施の形態に係る内視鏡装置の画像処理部のタイミングジェネレータ (TG) の構成を示すブロック図である。

20

【図 13】本発明の第 2 の実施の形態における ADCLK 信号の位相シフトのタイミングの例を示すタイミングチャートである。

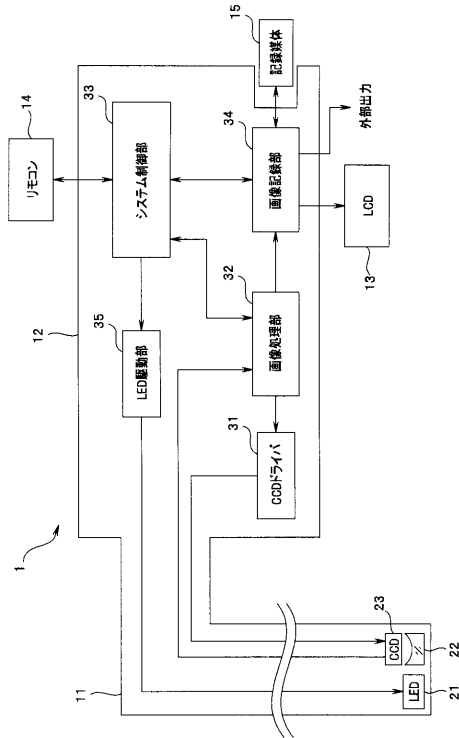
【符号の説明】

【0082】

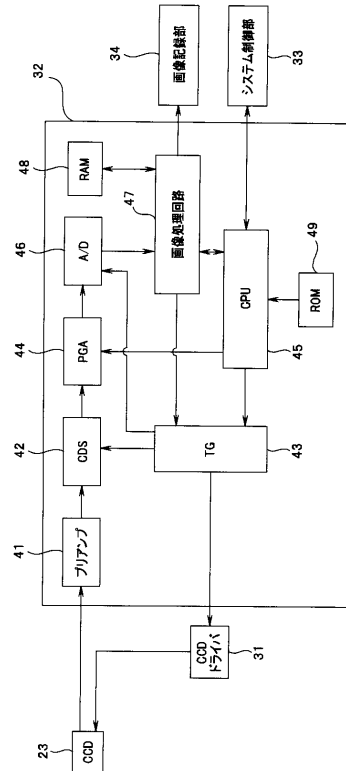
1 内視鏡装置、11 挿入部、12 本体部、13 表示部、14 リモコン、15 記録媒体、21 LED、22 対物レンズ、23 CCD、31 CCDドライバ、32 画像処理部、33 システム制御部、34 画像記録部、35 LED駆動部、41 プリアンプ、42 CDS部、43 タイミングジェネレータ、44 PGA部、45 CPU、46 A/D部、47 画像処理回路、48 RAM、51 カウンタ回路、52 パルス生成回路、53 シリアル I/F、54 レジスタ、55、55A SHP用遅延素子位相シフト回路、56 SHP用位相シフトテーブル部、57 SHP用パルス生成回路、58 SHP用シフトレジスタ位相シフト回路、59 SHD用遅延素子位相シフト回路、60 SHD用位相シフトテーブル部、61 SHD用パルス生成回路、62 SHD用シフトレジスタ位相シフト回路、63 RG用遅延素子位相シフト回路、64 RG用位相シフトテーブル部、65 RG用パルス生成回路、66 RG用シフトレジスタ位相シフト回路、67 ADCLK用シフトレジスタ位相シフト回路、71 バッファ、72 セレクタ、73 遅延線、81、82、83、84 FF、85 シフトレジスタ、86 セレクタ、87 H/L信号生成回路

30

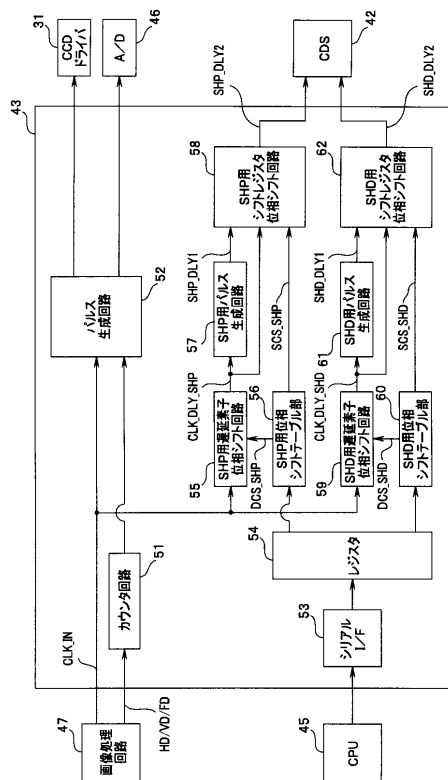
【 図 1 】



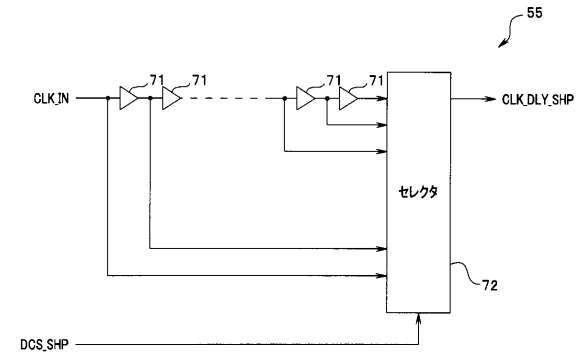
【图 2】



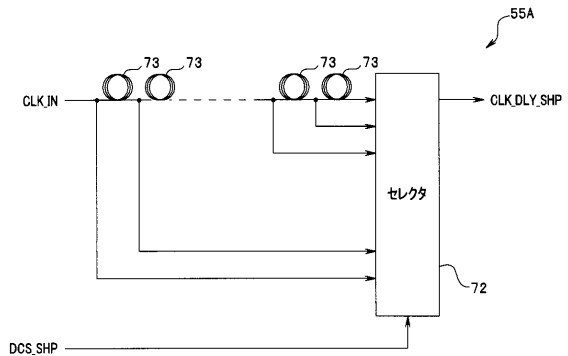
【図 3】



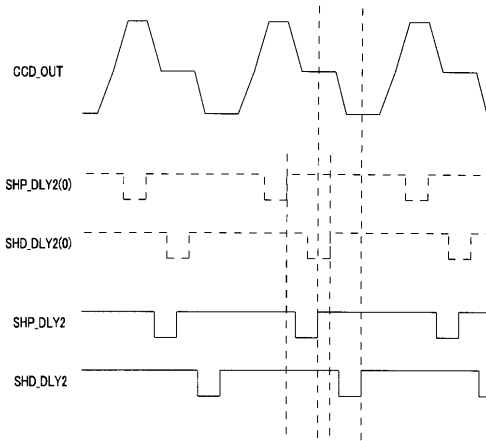
【図 4】



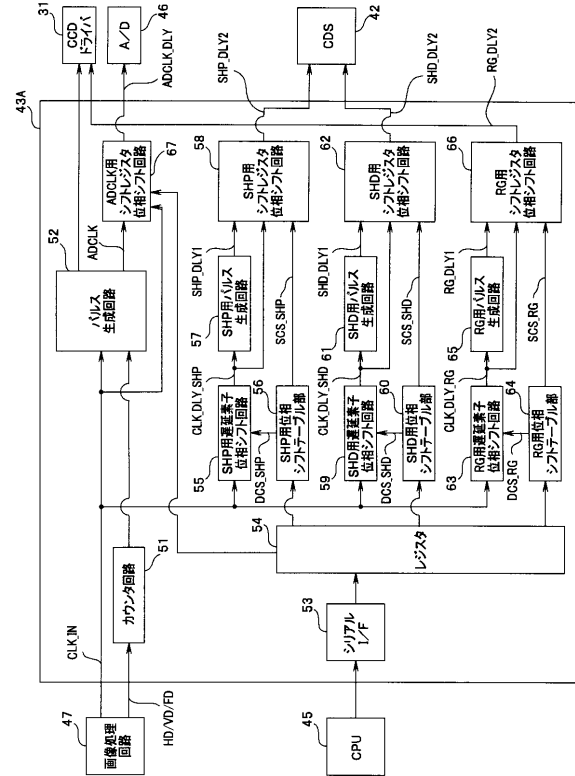
【図 5】



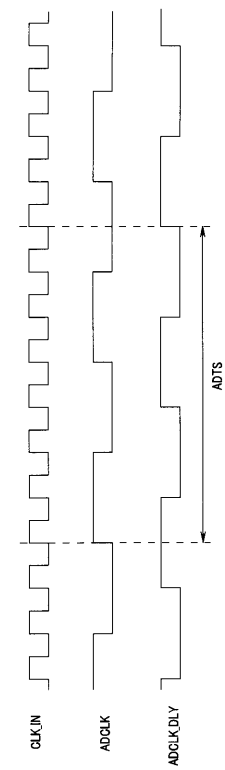
【図 1 1】



【図 1 2】



【図 1 3】



专利名称(译)	内视镜装置		
公开(公告)号	JP2010046220A	公开(公告)日	2010-03-04
申请号	JP2008212135	申请日	2008-08-20
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	小笠原正充		
发明人	小笠原 正充		
IPC分类号	A61B1/04 G02B23/24 H04N7/18		
FI分类号	A61B1/04.372 G02B23/24.B H04N7/18.M A61B1/00.640 A61B1/00.680 A61B1/04.362.J A61B1/045.610 A61B1/05		
F-TERM分类号	2H040/GA02 2H040/GA11 4C061/AA00 4C061/BB00 4C061/CC06 4C061/DD00 4C061/LL02 4C061/NN01 4C061/NN03 4C061/NN07 4C061/QQ06 4C061/SS11 4C061/VV03 4C061/WW01 4C061/YY12 5C054/CC07 5C054/DA08 5C054/EA01 5C054/EB02 5C054/HA12 4C161/AA00 4C161/BB00 4C161/CC06 4C161/DD00 4C161/LL02 4C161/NN01 4C161/NN03 4C161/NN07 4C161/QQ06 4C161/SS11 4C161/VV03 4C161/WW01 4C161/YY12		
代理人(译)	伊藤 进		
其他公开文献	JP5350714B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种内窥镜设备，通过以良好的精度延迟采样脉冲的相位，甚至可以获得各种电缆长度的最佳图像。解决方案：在具有CDS部分42，定时发生器43，A/D部分46和图像处理电路47的内窥镜设备1中，定时发生器43具有脉冲产生电路57，其产生用于基于CDS处理的定时信号。用于产生脉冲的时钟信号，第一相移电路55将用于产生脉冲的时钟信号的相位或在脉冲发生电路57中产生的定时信号相移第一量，以及第二相移电路58将用于产生脉冲的时钟信号的相位或在脉冲发生电路57中产生的定时信号相移不同于第一数量的第二量，以及脉冲发生电路57，第一相移电路55和第二相移电路58串联连接。

